

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-080035  
(43)Date of publication of application : 11.03.2004

(51)Int.CI. H01L 27/12  
H01L 21/02  
H01L 21/265  
H01L 21/762

(21)Application number : 2003-291700 (71)Applicant : PARK JEA-GUN  
SILTRON INC

(22)Date of filing : 11.08.2003 (72)Inventor : PARK JEA-GUN  
LEE GON-SUB  
LEE SANG-HEE

(30)Priority

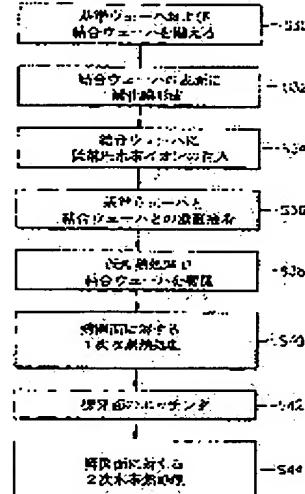
Priority number : 2002 200247351 Priority date : 10.08.2002 Priority country : KR

## (54) MANUFACTURING METHOD OF NANO SOI WAFER AND NANO SOI WAFER MANUFACTURED THEREBY

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a method for manufacturing a nano SOI wafer having extremely excellent uniformity in thickness without using a CMP process and a wafer manufactured by the method.

**SOLUTION:** In the manufacturing method of the nano SOI wafer, a bonded wafer and a reference wafer are provided, an insulating film is formed at least on one surface of the bonded wafer, an impurity ion is implanted at a low voltage by a specific depth from the surface of the bonded wafer for forming an impurity ion implantation section, the insulating film of the bonded wafer is allowed to come into contact with the reference wafer, low-temperature heat treatment is performed for cleaving the impurity ion implantation section of the bonded wafer, and the cleaved surface of the bonded wafer bonded to the reference wafer is etched for forming an element formation region in a nano scale. The etching to the cleaved surface is performed by hydrogen surface treatment and wet etching.



LEGAL STATUS

[Date of request for examination] 11.08.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or  
application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision  
of rejection]  
[Date of requesting appeal against examiner's  
decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1]

A phase equipped with a joint wafer and a criteria wafer,

The phase of said joint wafer which forms an insulator layer in the whole surface at least,

The phase which pours impurity ion into the predetermined depth by the low battery from the front face of said joint wafer, and forms impurity ion notes admission into a club,

The phase which the insulator layer of said joint wafer and said criteria wafer are contacted mutually, and is pasted up,

The phase which performs low-temperature heat treatment and carries out cleavage of the impurity ion notes admission into a club of said joint wafer,

The manufacture approach of a nano SOI wafer including the phase which etches the front face where cleavage of said criteria wafer and said pasted-up joint wafer was carried out, and forms the component formation field of a nano-scale.

[Claim 2]

Said joint wafer is the manufacture approach of the nano SOI wafer according to claim 1 which is a single-crystal-silicon wafer, and is characterized by including further the phase which forms a silicon germanium layer in the front face of said joint wafer in which said insulator layer is formed before forming an insulator layer in said joint wafer.

[Claim 3]

The insulator layer which said joint wafer is a single-crystal-silicon wafer, and was formed in said joint wafer is the manufacture approach of a nano SOI wafer given in either of claims 1 or 2 characterized by being the silicon oxide formed like the heat process.

[Claim 4]

It is the manufacture approach of a nano SOI wafer given in either of claims 1 or 2 characterized by for said impurity ion being a hydrogen ion and pouring in said hydrogen ion under the low battery of 30 or less Kevs.

[Claim 5]

The projection range distance of said hydrogen ion by which the ion implantation was carried out is the manufacture approach of the nano SOI wafer according to claim 4 characterized by being formed within the limits of 1000 thru/or 4000A from the front face of said joint wafer.

[Claim 6]

The phase of pasting up said joint wafer and criteria wafer is the manufacture approach of a nano SOI wafer given in either of claims 1 or 2 characterized by pasting up extending a touch area one by one after contacting some of said joint wafers and said criteria wafers. [ at least ]

[Claim 7]

The phase of pasting up said joint wafer and criteria wafer is the manufacture approach of the nano SOI wafer according to claim 6 characterized by carrying out in ordinary temperature.

[Claim 8]

The phase of pasting up said joint wafer and criteria wafer is the manufacture approach of the nano SOI wafer according to claim 6 characterized by pressurizing and pasting up, extending a touch area in the top direction one by one after contacting a part of perpendicular direction

bottom [ at least ] of said joint wafer and said criteria wafer.

[Claim 9]

The phase which carries out cleavage of the impurity ion notes admission into a club of said joint wafer is the manufacture approach of a nano SOI wafer given in either of claims 1 or 2 characterized by carrying out by heat-treating at low temperature 400 degrees C or less.

[Claim 10]

The manufacture approach of a nano SOI wafer given in either of claims 1 or 2 characterized by making into 30 thru/or 40A the Rms value of the front face where cleavage of said joint wafer was carried out.

[Claim 11]

The thickness in which said criteria wafer and said pasted-up joint wafer remain in the phase which carries out cleavage of said joint wafer is the manufacture approach of a nano SOI wafer given in either of claims 1 or 2 characterized by making it 3000A or less.

[Claim 12]

The phase which etches the front face where cleavage of said joint wafer was carried out, and forms a component formation field,

The phase which carries out wet etching of the front face where cleavage of said joint wafer combined with said criteria wafer was carried out,

The manufacture approach of a nano SOI wafer given in either of claims 1 or 2 characterized by including the phase of performing hydrogen heat treatment to the front face of said joint wafer by which wet etching was carried out.

[Claim 13]

The phase of performing hydrogen heat treatment to the front face of said joint wafer is the manufacture approach of the nano SOI wafer according to claim 12 characterized by carrying out at least 1 minute or more at the temperature of 1100 degrees C or more.

[Claim 14]

The manufacture approach of the nano SOI wafer according to claim 12 characterized by including further the phase of performing hydrogen heat treatment to the front face where cleavage of said joint wafer was carried out before the phase which carries out wet etching of the front face where cleavage of said joint wafer combined with said criteria wafer was carried out.

[Claim 15]

The phase of performing hydrogen heat treatment to the front face of said joint wafer is the manufacture approach of the nano SOI wafer according to claim 14 characterized by carrying out at least 1 minute or more at the temperature of 1100 degrees C or more.

[Claim 16]

The phase which carries out wet etching of the front face where cleavage of said joint wafer combined with said criteria wafer was carried out is the manufacture approach of the nano SOI wafer according to claim 12 characterized by carrying out as an etching reagent using the mixed solution of NH4OH, H2O2, and H2O.

[Claim 17]

The phase which forms a silicon germanium layer in the front face of said joint wafer is the manufacture approach of the nano SOI wafer according to claim 2 characterized by carrying out according to an epitaxy process.

[Claim 18]

The nano SOI wafer manufactured by the manufacture approach of claim 1.

[Claim 19]

The nano SOI wafer manufactured by the manufacture approach of claim 2.

[Claim 20]

It is a nano SOI wafer given in either of claims 18 or 19 characterized by for the thickness of said component formation field being 50nm or less, and the Rms value of the front face of said component formation field becoming 2A or less.

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[Field of the Invention]

[0001]

This invention relates to the manufacture approach of a SOI (Silicon On Insulator) wafer, and the SOI wafer manufactured by that cause, and relates to the manufacture approach of a nano SOI wafer that the thickness of a component formation field is a nano-scale, and the nano SOI wafer formed by that cause more at a detail.

[Background of the Invention]

[0002]

Since junction destruction generates the junction isolation in the bulk silicon substrate used in order to manufacture the usual silicon integrated circuit under the supply voltage of abbreviation\*\*30V under suitable doping level and a dimension, not being not only suitable but junction isolation is not effective for application of the high voltage under a high activity environment because of the excessive photocurrent generated in pn junction with a gamma ray. Therefore, although the SOI technique which is the separation technology which encloses the perimeter of a component completely with an insulating material instead of pn junction was developed, the circuit manufactured with such a SOI substrate can have simple structure compared with the circuit manufactured in a bulk silicon substrate as a result of a manufacture process, can contract a chip size, and in order that parasitism capacitance may decrease with contraction of a chip size, it has the advantage in which the working speed of a circuit is quick.

[0003]

The SIMOX (Separation by IMplaneted OXygen) technique which forms the silicon oxidizing zone which was made to carry out annealing to such a SOI technique after pouring in oxygen ion into the SOS (Silicon On Sapphire) technique of growing up a hetero epitaxial silicon layer on sapphire, and a silicon substrate, and was buried, the bonding SOI technique on which at least one wafer with which the insulating layer was formed in the front face, and other wafers were pasted up are known.

[0004]

The so-called "smart cut" process technique used as an example using such a bonding SOI technique in order to manufacture the so-called uni-bond (UNIBOND) wafer is well-known. After a smart cut process technique's carrying out the ion implantation of the hydrogen ion to one of the wafers by which bonding is carried out and forming a detailed bubble layer, it is the process sequence Fig. showing how to manufacture the SOI wafer for which it is making it the cleavage technique [ wafer ] centering on this bubble layer, and drawing 1 used the conventional smart cut process technique by heat treatment.

[0005]

If drawing 1 is referred to, it will have the criteria wafer and joint wafer which are pasted up according to a consecutiveness process (S10). A criteria wafer carries out the role which supports a SOI wafer physically, and also calls it a handling wafer, and a joint wafer is a wafer with which the channel of a semiconductor device is formed of a consecutiveness process, and is also called component wafer.

[0006]

Subsequently, a thermal oxidation process is performed to the joint wafer which consists of single crystal silicon, and an oxide film, i.e., silicon oxide, is formed in the front face of a joint wafer (S12). Silicon oxide carries out the role of a flanking oxidizing zone (Buried Oxide Layer;BOX layer) with a SOI wafer, and can form it in dozens thru/or the thickness of thousands of A if needed.

[0007]

Subsequently, the hydrogen ion of the high voltage is poured in to a joint wafer (S14). The impregnation energy of a hydrogen ion uses the high-voltage energy of about 125 KeV(s), and a hydrogen dose is set to abbreviation  $6 \times 10^{16} \text{ cm}^{-2}$ . Therefore, the hydrogen ion impregnation section which has projection range distance (Rp) in the predetermined depth from the front face of the joint wafer under silicon oxide is formed.

[0008]

Next, after washing a criteria wafer and a joint wafer and removing a surface contamination, both [ these ] wafers are pasted up horizontally (S16). The adhesion approach pastes up both wafers, placing a joint wafer in the direction of the lower part so that the front face of a whole wafer may be contacted by coincidence in ordinary temperature, after locating horizontally in parallel the part of the joint wafer with which silicon oxide was formed on it, placing a criteria wafer horizontally. At this time, mutual adhesion of both the wafers is carried out by hydrogen bond under the conditions of a hydrophilic property.

[0009]

Subsequently, it heat-treats at an elevated temperature and cleavage of the hydrogen ion impregnation section part is carried out (S18). Heat treatment is performed under the temperature of about 550 degrees C under nitrogen-gas-atmosphere mind for about 1 hour. The bubble of a hydrogen ion impregnation section part interacting, sufficient blister being formed during heat treatment, and these spreading, a flake phenomenon occurs and a cleavage process is performed. The Rms (root mean square roughness) value of the silicon layer front face where a joint wafer remains after cleavage becomes about 100 thru/or 120A, and the thickness of the silicon layer which remains becomes about 9000A.

[0010]

Subsequently, a chemical machinery-polish (CMP) process is performed to the cleavage plane of a silicon layer (S20). A CMP process can be performed until the thickness of the component formation field in which the channel of a semiconductor device is formed turns into desired thickness.

[0011]

The component formation field (or channel field) in which a semiconductor device is formed in a SOI wafer on the other hand according to the demand to high integration of the semiconductor device formed in a SOI wafer, improvement in the speed, and low electrification is in the situation that it is still thinner and the BOX layer is also still thinner at coincidence. The thick SOI wafer with which the thickness of the component formation field (channel field) of Silicon SOI is set to about 1000nm or more Namely, MEMS, Although it can be used in order to form a sensor, a photodiode, BAIPORA, a power component, etc., and a micro display or the partial depletion CMOS can also produce the thin SOI wafer whose thickness of a component formation field is about 50 thru/or 1000nm The perfect depletion CMOS, a nano CMOS device, or a single electronic device came to require the nano SOI wafer whose thickness of a component formation field is about 50nm or less.

[0012]

However, although a nano SOI wafer is manufactured using the conventional smart-cut process technique mentioned above, the following troubles occur.

[0013]

A CMP process must be performed until it carries out flattening of the front face by which cleavage was carried out and becomes the thickness of a desired component formation field, after carrying out [ 1st ] cleavage of the hydrogen ion impregnation section of a joint wafer to the former. However, in the production process of a semiconductor device, a CMP process has

very high process cost, takes process time amount for a long time, and, generally has the demerit in which the thickness deflection of the core of a wafer and periphery by the CMP process is very large, and defects, such as a crack, occur at the time of CMP operation.

[0014]

When carrying out [ 2nd ] the ion implantation of the hydrogen ion into a joint wafer, in order to carry out under a high energy electrical potential difference, the projection range distance of a hydrogen ion becomes very large. therefore, manufacturing the nano SOI wafer with which a component formation field becomes below about 50nm (500A) in order that the thickness of a silicon layer may remain thickly to about 9000A after a consecutive cleavage process not only takes CMP process time amount for a long time, but There is a trouble that the amount of consumption of the silicon layer ground increases.

[0015]

According to the conventional level adhesion method which pastes up a joint wafer and a criteria wafer on the 3rd, there is a trouble that very many defects, such as a void, occur and become weak in respect of adhesion.

[Description of the Invention]

[Problem(s) to be Solved by the Invention]

[0016]

In order to conquer the trouble of said conventional technique, even if the purpose of this invention does not use a CMP process, it is in the place which offers the approach of manufacturing the nano SOI wafer in which the thickness uniformity coefficient was very excellent.

[0017]

Other purposes of this invention are in the place which offers the approach of manufacturing the nano SOI wafer which controlled a void having occurred in the adhesion side between a joint wafer and a criteria wafer, and raised the adhesive strength of a wafer.

[0018]

Other purposes of this invention are in the place which offers the nano SOI wafer manufactured by the manufacture approach by said this invention again.

[Means for Solving the Problem]

[0019]

The manufacture approach of the nano SOI wafer by this invention for attaining the purpose of said this invention is equipped with a joint wafer and a criteria wafer, and even if there are few said joint wafers, it forms an insulator layer in the whole surface. Subsequently, after pouring impurity ion into the predetermined depth by the low battery from the front face of said joint wafer and forming impurity ion notes admission into a club, the insulator layer of said joint wafer and said criteria wafer are contacted mutually, and it pastes up. Subsequently, the front face where low-temperature heat treatment was performed, cleavage of the impurity ion notes admission into a club of said joint wafer was carried out, and cleavage of said criteria wafer and said pasted-up joint wafer was carried out is etched, and the component formation field of a nano-scale is formed.

[0020]

On the other hand, said joint wafer is a single-crystal-silicon wafer, and before it forms an insulator layer in said joint wafer, it includes further the phase which forms a silicon germanium layer in the front face of said joint wafer in which said insulator layer is formed. Moreover, said joint wafer is a single-crystal-silicon wafer, and the insulator layer formed in said joint wafer is the silicon oxide formed like the heat process.

[0021]

Said hydrogen ion is poured in under a low battery, for example, the low battery of 30 or less Kevs, from the front face of said joint wafer, said impurity ion is a hydrogen ion and, as for the projection range distance (Rp) of said hydrogen ion by which the ion implantation was carried out, it is [ it is near, for example, ] desirable to be formed within the limits of 1000 thru/or 4000A. Said projection range distance is controllable by adjusting an ion-implantation electrical potential difference.

[0022]

The phase of pasting up said joint wafer and criteria wafer After contacting some of said joint wafers and said criteria wafers, [ at least ] It is desirable to make it paste up, extending a touch area one by one at the point that generating of the void in the contact surface can be reduced. For example, it is made to pressurize and paste up, after said joint wafer and criteria wafer contact a part of vertical bottom [ at least ], extending a touch area in the top direction one by one.

[0023]

The phase which carries out cleavage of the impurity ion notes admission into a club of said joint wafer is heat-treated at low temperature 400 degrees C or less, and is performed, and the Rms value of the front face where cleavage of said joint wafer was carried out is desirably made into 30 thru/or 40A, and thickness in which said criteria wafer and said pasted-up joint wafer remain in the phase which carries out cleavage of said joint wafer is desirably made into 3000A or less.

[0024]

After carrying out wet etching of the front face where cleavage of said joint wafer combined with said criteria wafer was carried out, to the front face of said joint wafer by which wet etching was carried out, the phase which, on the other hand, etches the front face where cleavage of said joint wafer was carried out, and forms a component formation field performs hydrogen heat treatment, and is carried out. It is efficient to include further the phase to perform hydrogen heat treatment to the front face where cleavage of said joint wafer was carried out before the phase which carries out wet etching of the front face where cleavage of said joint wafer combined with said criteria wafer was carried out, although the wet etching of the front face where cleavage of said joint wafer was carried out carries out, and the phase perform hydrogen heat treatment to the front face of said joint wafer performs at least 1 minute or more at the temperature of 1100 degrees C or more.

[0025]

Carrying out as an etching reagent using the mixed solution of NH4OH, H2O2, and H2O has a slow etch rate, and the phase which carries out wet etching of the front face where cleavage of said joint wafer combined with said criteria wafer was carried out has it at the point that etching thickness can be adjusted to homogeneity. [ desirable ]

[0026]

on the other hand -- this invention -- said -- others -- in the nano SOI wafer manufactured by the manufacture approach of this invention for the purpose, the thickness of said component formation field is 50nm or less, and the Rms value of the front face of said component formation field becomes 2A or less.

[0027]

In order to pour in a hydrogen ion by the low battery, while the projection range distance (Rp) of a hydrogen ion becomes small according to this invention The value of \*\*Rp which influences distribution of the poured-in hydrogen ion impregnation section also becomes small. The Rms value of the front face by which cleavage was carried out at the time of the cleavage process of the hydrogen ion impregnation section which follows by this becomes small, and at least hydrogen heat treatment to a cleavage front face and a wet etching process can form a nano-scale component formation field without a CMP process.

[0028]

Moreover, according to this invention, in order to make it paste up, extending the touch area of a joint wafer and a criteria wafer, generating of the void in respect of adhesion can be reduced, and the adhesive strength of both wafers can be raised.

[0029]

Moreover, according to this invention, the Rms value of the front face by which cleavage was carried out by performing a cleavage process at low temperature becomes small, and at least hydrogen heat treatment to a cleavage front face and a wet etching process can form a nano-scale component formation field without a CMP process. Moreover, in order to perform a cleavage process at low temperature, it is not necessary to make the hydrogen ion dose for maintaining sufficient hydrogen ion impregnation concentration generating blister there being few

amounts of out diffusion, therefore sufficient and the flake phenomenon of a hydrogen ion increase, and a production cost falls.

[0030]

Moreover, according to this invention, in order to perform hydrogen heat treatment to a cleavage plane, the Rms value of a cleavage plane decreases notably, the surface roughness of a desired nano-scale SOI wafer can be attained, and in order to perform hydrogen heat treatment to a cleavage plane additionally beforehand before a wet etching process, a wet etching process can be performed effectively.

[0031]

Moreover, according to this invention, etching thickness is maintainable to homogeneity by maintaining the amount of surface etching without a CMP process low by wet etching to a cleavage plane.

[Effect of the Invention]

[0032]

As mentioned above, although mentioned above about the desirable example of this invention, this invention is not limited to this but, of course, deformation implementation can be variously carried out by this contractor within the limits of the technical thought of a claim.

[0033]

According to this invention, while the projection range distance (Rp) of a hydrogen ion becomes small by the low-battery ion implantation, the value of  $**Rp$  also becomes small, the Rms value of the front face as for which cleavage was carried out by this at the time of a cleavage process becomes small, and at least hydrogen heat treatment to a cleavage front face and a wet etching process can form a nano-scale component formation field without a CMP process.

[0034]

Moreover, according to this invention, in order to make it paste up, extending the touch area of a joint wafer and a criteria wafer, generating of the void in respect of adhesion can be reduced, and the adhesive strength of both wafers can be raised.

[0035]

Moreover, according to this invention, the Rms value of the front face by which cleavage was carried out by performing a cleavage process at low temperature becomes small, and since hydrogen heat treatment and a wet etching process nano-scale component formation field can be formed and flake phenomenon with the amount of out diffusion of a hydrogen ion sufficient with just a small therefore small hydrogen ion dose is generated, a production cost falls.

[0036]

Moreover, according to this invention, the Rms value of a cleavage plane decreases notably by hydrogen heat treatment which receives a cleavage plane, the surface roughness of a desired nano-scale SOI wafer can be attained, and in order to perform hydrogen heat treatment to a cleavage plane additionally beforehand before a wet etching process, a wet etching process can be performed effectively.

[Best Mode of Carrying Out the Invention]

[0037]

Hereafter, the desirable example of this invention is explained to a detail with reference to an accompanying drawing.

[0038]

The example explained below can deform into other various gestalten, and is not limited to the example by which the range of this invention is mentioned later. The example of this invention is offered in order to explain this invention to this contractor more completely. In the drawing explaining the example of this invention, the thickness of a certain layer and field is exaggerated for the positivism of a specification, and the same sign on a drawing shows the same element. Moreover, since said a certain layer exists in the upper part of a layer besides the above, or a substrate directly when a certain layer is indicated to be in other layers or the "upper part" of a substrate, the 3rd layer may intervene between them.

[0039]

Drawing 2 is a process sequence Fig. showing the manufacture approach of the nano SOI wafer

by the desirable example of this invention, and drawing 3 thru/or drawing 7 are the process sectional views for explaining the manufacture approach of the nano SOI wafer by one example of this invention. It explains focusing on a difference point with the conventional technique of drawing 1 mentioned above.

[0040]

If drawing 2 thru/or drawing 7 are referred to, it will have the criteria wafer 20 and the joint wafer 10 which are first pasted up according to a consecutiveness process (S30). The criteria wafer 20 carries out the role of the susceptor which supports a SOI wafer physically, also calls it the so-called handling wafer, and the joint wafer 10 is a wafer with which the channel field (component formation field) of a semiconductor device is formed of a consecutiveness process, and it also calls it a component wafer.

[0041]

Subsequently, for example, an insulator layer can be formed in at least 1 front face of the joint wafer 10 which consists of single crystal silicon by the usual various approaches, for example, a thermal oxidation process is performed, and an oxide film 12, i.e., silicon oxide, is formed in the front face of the joint wafer 10 (S32). Although silicon oxide 12 carries out the role of a BOX layer with a SOI wafer and it can form in dozens thru/or the thickness of about thousands of A if needed, it can form in the thickness of dozens thru/or hundreds of A, for example, about 200A, with a nano SOI wafer.

[0042]

Although illustrated by drawing 3 with silicon oxide 12 being formed only in the up front face of the joint wafer 10, since silicon oxide 12 is formed all over the joint wafer 10 exposed according to the thermal oxidation process, such a condition is maintained if needed, or silicon oxide 12 may be made to remain only on one front face of the joint wafer 10, and other parts may be removed on it.

[0043]

Subsequently, the impurity ion of a low battery, for example, a hydrogen ion, is poured in to the joint wafer 10 (S34). In this example, the low-battery energy of about 25 KeV(s) was used for the impregnation energy of a hydrogen ion, and the hydrogen dose was set to abbreviation  $6 \times 10^{16} \text{ cm}^{-2}$ . Therefore, the hydrogen ion impregnation section 14 which has projection range distance (Rp) in the predetermined depth from the front face of the joint wafer under silicon oxide is formed, and the joint wafer 10 is classified into component formation section 10b and removal section 10a bordering on this. Although the hydrogen ion impregnation section 14 was expressed as the dotted line in drawing 4, the hydrogen ion impregnation section means the field over which a hydrogen ion has constant width and was distributed.

[0044]

Although this invention person performed simulation about impurity ion-implantation energy, projection range distance (Rp), and a correlation with  $\sqrt{Rp}$ , the sample of hydrogen ion impregnation considered as the silicon substrate in which 200A silicon oxide was formed as simulation conditions, and the hydrogen ion dose was set as  $6 \times 10^{16} \text{ cm}^{-2}$ . The simulation result was shown in Table 1.

[Table 1]

Vac (Kev)	10	20	30	50	75	100	150	200
Rp 値 (nm)	180.8	299.4	389.6	542.4	718	900	1300	1780
$\Delta R_p$ 値 (nm)	55.9	73.1	81.5	91.5	99.3	106.6	120.3	129.5

[0045]

If drawing 12 which it turned out that an ion-implantation electrical potential difference especially decreases notably by 30 or less KeVs by 50 or less KeVs although it turns out that projection range distance (Rp) decreases almost-like [ proportionally ] by reduction of hydrogen

ion impregnation energy (acceleration Voltage; Vac) according to Table 1 and  $**Rp$  value also decreases by reduction of ion-implantation energy, and showed this result is referred to, it understands more clearly. An axis of abscissa is hydrogen ion impregnation energy (Vac) in drawing 12, and an axis of ordinate shows  $**Rp$  value.

[0046]

Furthermore, this invention person measured  $**Rp$  value by SIMS immediately after hydrogen ion impregnation, in order to investigate the correlation of  $**Rp$  value and a Rms value, he measured the Rms value (10micromx10micrometer) by AFM after the cleavage process of the hydrogen ion impregnation section 14, and showed in Table 2.

[Table 2]

Vac (Kev)	26	42	45.2
$\Delta Rp$ 値(nm)	77	87	88
rms値(nm)	3.16	5.72	6.55

[0047]

According to Table 2, it turns out that  $**Rp$  value also increases and a Rms value also increases by the increment in hydrogen ion impregnation energy (Vac). The change relation between  $**Rp$  value and a Rms value was illustrated to drawing 13. By drawing 13, an axis of abscissa shows  $**Rp$  value and an axis of ordinate shows a Rms value.

[0048]

Drawing 12 and drawing 13 show that projection range distance increases and  $**Rp$  value also increases by that cause by the increment in hydrogen ion impregnation energy, and it turns out that a Rms value also has a fixed correlation and increases. this invention person judged the hydrogen ion impregnation energy for manufacturing the nano-scale SOI wafer later mentioned based on such simulation and an experimental result that it is appropriate to make it 30 or less KeVs.

[0049]

Next, if drawing 2, drawing 5, drawing 8, or drawing 10 is referred to, after washing the criteria wafer 20 and the joint wafer 10 and removing a surface contamination, both [ these ] wafers are pasted up in perpendicular (S36). Unlike the conventional level adhesion type, a part of silicon oxide [ at least ] 12 of the criteria wafer 20 and the joint wafer 10 is contacted previously, and it is made for the touch area to paste one side direction with breadth in this invention. By making it paste up, while each front face of the criteria wafer 20 and the joint wafer 10 pressurizes one side direction in consideration of the point that the point that there is crookedness, and a silicon wafer are elastic bodies, this Since it is the form pasted up while extruding and removing outside void components, such as moisture in which a contact front face becomes flat, and it is formed in between [ these ], and deals, the void in respect of adhesion decreases notably, and adhesive strength improves.

[0050]

If the more concrete adhesion approach is explained with reference to drawing 8 thru/or drawing 10, the criteria wafer 20 and the joint wafer 10 will be made to lay in the wafer susceptors 82a and 82b which have a respectively slanting inclined plane. At this time, each wafer susceptors 82a and 82b are constituted so that it is fixed on the base 80, and the fixing section (not shown) which has the suitable magnitude and the suitable depth corresponding to a configuration of a wafer may be formed in the inclined plane of each wafer susceptors 82a and 82b and each wafer can be fixed. The wafer sticking-by-pressure rods 84a and 84b which can pressurize and stick each wafers 10 and 20 by pressure from a tooth back are formed in the center section of each wafer susceptors 82a and 82b. Therefore, the criteria wafer 10 and the joint wafer 20 are pressurized and pasted up in order of drawing 10 from drawing 8.

[0051]

As for adhesion with the criteria wafer 20 in this invention, and the joint wafer 10, it is desirable to carry out in ordinary temperature, and mutual adhesion of both the wafers is carried out by hydrogen bond under hydrophilic conditions at this time.

[0052]

Subsequently, if drawing 2 and drawing 6 are referred to, it will heat-treat at low temperature and cleavage of the hydrogen ion impregnation section 14 part will be carried out (S38). This example performs cleavage heat treatment about 1 minute or more at least below about 400 degrees C. As mentioned above, during heat treatment, the bubble of a hydrogen ion impregnation section part carries out an interaction, sufficient blister is formed, and a cleavage process is performed, while these spread and a flake phenomenon occurs. The Rms value of the front face where cleavage of the joint wafer 10 was carried out by this example is maintained in about 30 thru/or the range of 40A, and the thickness of component formation section 10b after cleavage becomes about 3000A.

[0053]

this invention person conducted the next experiment, in order to investigate the heat treatment temperature and the Rms value for cleavage. As experiment conditions, hydrogen ion impregnation energy is 28.5KeV(s), and the hydrogen ion dose was set as  $5 \times 10^{16} \text{ cm}^{-2}$ . The experimental result measured by TEM was shown in drawing 14.

[0054]

An axis of abscissa shows heat treatment temperature by drawing 14, and an axis of ordinate shows a Rms value (nm). When a Rms value is about 14.5nm when a Rms value is about 10.9nm when a Rms value is about 3.15nm when heat treatment temperature is 450 degrees C, and heat treatment temperature is 550 degrees C, and heat treatment temperature is 650 degrees C, and heat treatment temperature is 750 degrees C, it turns out that a Rms value is set to about 25.0nm or more. Moreover, when heat treatment temperature is 550 degrees C, it turns out that a dislocation occurs, and a dislocation grows and condenses with the increment in heat treatment temperature by the cleavage plane. The dislocation in such a cleavage plane serves as an element which checks the wet etching of component formation section 10b of the joint wafer 10 which follows.

[0055]

It is desirable to maintain the heat treatment temperature at the time of a cleavage process at 450 degrees C or less in consideration of generating of such a dislocation and the Rms value in a cleavage plane.

[0056]

Drawing 15 is a graph which shows the relation between the heat treatment time amount at the time of a cleavage process, and the number of voids in a cleavage plane. Heat treatment temperature is 450 degrees C or less, a sample is performed by ion-implantation energy 25KeV and 80KeV(s), respectively, and heat treatment time amount is 10 minutes, 20 minutes, and 40 minutes. It turns out that the number of voids decreases, so that heat treatment time amount is short, even if it heat-treats a cleavage process at low temperature and performs it so that a graph may show.

[0057]

Drawing 16 thru/or drawing 19 are graphs which measure and show change of the hydrogen concentration by the depth from the front face of a joint wafer, changing heat treatment temperature at the time of a cleavage process. Ion-implantation energy is 26KeV(s) as a Measuring condition, and the hydrogen ion dose was set as  $5 \times 10^{16} \text{ cm}^{-2}$ . Drawing 16 is the graph of the result which has not heat-treated, drawing 17 is the graph of the result of having performed heat treatment at 450 degrees C, drawing 18 is the graph of the result of having performed heat treatment at 650 degrees C, and drawing 19 is the graph of the result of having performed heat treatment at 750 degrees C.

[0058]

The result of drawing 16 thru/or drawing 19 shows that the out diffusion of a hydrogen ion occurs actively as heat treatment temperature rises at the time of the cleavage process over the joint wafer 10. Therefore, since a hydrogen ion dose is made to increase, and there is nothing

if it is \*\*\*\* as heat treatment temperature rises at the time of a cleavage process, in order to maintain the hydrogen ion dose for generating of blister sufficient at the time of a cleavage process, and a flake phenomenon, Rms worsens like [ a production cost increases and ] drawing 14 , but if it heat-treats at low temperature, it turns out that it gets that cleavage of the out diffusion of a hydrogen ion is fully carried out also with a low and little hydrogen ion dose.

[0059]

If drawing 2 is referred to continuously, after carrying out cleavage of the hydrogen ion impregnation section 14 of the joint wafer 10 by low-temperature heat treatment, primary hydrogen heat treatment will be performed to the front face of component formation section 10b by which cleavage was carried out (S40). Carrying out at least 1 minute or more with the heat treatment temperature of 1100 degrees C or more under a hydrogen ambient atmosphere, the Rms value of component formation section 10b becomes low with 40 to 10A or less after hydrogen heat treatment. [ 30 thru/or ]

[0060]

Drawing 20 is the graph of the result of having measured the relation of the hydrogen heat treatment time amount and the surface Rms value over the front face by which cleavage was carried out. It is the result of carrying out with the heat treatment temperature of 1135 degrees C, and it turns out that a Rms value decreases notably as heat treatment time amount is prolonged.

[0061]

If drawing 2 is referred to continuously, after performing primary hydrogen heat treatment, wet etching will be performed to the front face of component formation section 10b by which cleavage was carried out (S42). The etching reagent of  $\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}=0.5:1:5$  was used for the etching reagent, etching temperature was performed 65 thru/or in 100 degrees C, and etching time and etching thickness were set up in consideration of the thickness of the desired last component formation field (10c of drawing 7  $R > 7$ ). Etching is continued so that the thickness of component formation field 10c may be set to 50nm or less in the case of Nano-scale SOI. An etch rate is slow and the reason for having chosen the etching reagent of this invention is that the uniformity coefficient of the etching thickness after etching is excellent.

[0062]

Drawing 21 is the graph of the result of having measured the average etching thickness by etching time, after performing the etching process of this invention over three silicon samples. A graph shows that average etching thickness increases almost-like [ proportionally ] by etching time. Therefore, the thickness of final component formation field 10c of this invention can be smoothly adjusted by etching time.

[0063]

If drawing 2 is referred to continuously, after the etching process over a cleavage plane is completed, a secondary hydrogen heat treatment process will be performed to the front face of component formation field 10c finally etched (S44). A secondary heat treatment process is performed by the same approach as the primary heat treatment process mentioned above. It turns out after execution of a secondary heat treatment process that the Rms value of component formation field 10c is maintained by 2A or less demanded with a nano-scale SOI wafer.

[0064]

Drawing 11 is the sectional view of the nano SOI wafer manufactured according to other examples of this invention, and if it removes the point that the silicon germanium layer 16 was formed between silicon oxide 12 and component formation field 10c as compared with the wafer of drawing 7 , it is the same. The manufacture approach is the same as the manufacture approach of the nano SOI wafer of drawing 7 mentioned above except for the formation phase of the silicon germanium layer 16. Namely, if drawing 2 is referred to, before forming silicon oxide 12 in the front face of the joint wafer 10, the silicon germanium layer 16 will be formed in the front face of the joint wafer 10 according to an epitaxy process, and the hydrogen ion impregnation section will be formed in the bottom of the silicon germanium layer 16 at the time of the hydrogen ion impregnation to the joint wafer 10.

[Brief Description of the Drawings]

[0065]

[Drawing 1] It is the process sequence Fig. showing the process step which manufactures the conventional SOI wafer.

[Drawing 2] It is the process sequence Fig. showing the process step which manufactures a nano SOI wafer according to one example of this invention.

[Drawing 3] It is the process sectional view showing each process step which manufactures a nano SOI wafer according to one example of this invention.

[Drawing 4] It is the process sectional view showing each process step which manufactures a nano SOI wafer according to one example of this invention.

[Drawing 5] It is the process sectional view showing each process step which manufactures a nano SOI wafer according to one example of this invention.

[Drawing 6] It is the process sectional view showing each process step which manufactures a nano SOI wafer according to one example of this invention.

[Drawing 7] It is the process sectional view showing each process step which manufactures a nano SOI wafer according to one example of this invention.

[Drawing 8] In order to manufacture a nano SOI wafer according to one example of this invention, it is the schematic diagram showing how to combine a criteria wafer and a joint wafer.

[Drawing 9] In order to manufacture a nano SOI wafer according to one example of this invention, it is the schematic diagram showing how to combine a criteria wafer and a joint wafer.

[Drawing 10] In order to manufacture a nano SOI wafer according to one example of this invention, it is the schematic diagram showing how to combine a criteria wafer and a joint wafer.

[Drawing 11] It is the sectional view showing the nano SOI wafer manufactured according to other examples of this invention.

[Drawing 12] It is the graph which shows the relation between the hydrogen ion impregnation electrical potential difference measured in the experiment for manufacturing the nano SOI wafer by one example of this invention, and  $**R_p$ .

[Drawing 13] It is the graph which indicates relation with  $R_{ms}$  to be  $**R_p$  measured in the experiment for manufacturing the nano SOI wafer by one example of this invention.

[Drawing 14] It is the graph which shows the relation between the heat treatment temperature for the cleavage of the joint wafer measured in the experiment for manufacturing the nano SOI wafer by one example of this invention, and  $R_{ms}$ .

[Drawing 15] It is the bar graph which shows the relation between the heat treatment time amount for the cleavage of the joint wafer measured in the experiment for manufacturing the nano SOI wafer by one example of this invention, and the number of voids.

[Drawing 16] It is the graph which shows change of the hydrogen concentration by the depth of a wafer, changing the heat treatment temperature for the cleavage of the joint wafer measured in the experiment for manufacturing the nano SOI wafer by one example of this invention.

[Drawing 17] It is the graph which shows change of the hydrogen concentration by the depth of a wafer, changing the heat treatment temperature for the cleavage of the joint wafer measured in the experiment for manufacturing the nano SOI wafer by one example of this invention.

[Drawing 18] It is the graph which shows change of the hydrogen concentration by the depth of a wafer, changing the heat treatment temperature for the cleavage of the joint wafer measured in the experiment for manufacturing the nano SOI wafer by one example of this invention.

[Drawing 19] It is the graph which shows change of the hydrogen concentration by the depth of a wafer, changing the heat treatment temperature for the cleavage of the joint wafer measured in the experiment for manufacturing the nano SOI wafer by one example of this invention.

[Drawing 20] It is the bar graph which shows the relation of the hydrogen heat treatment time amount and  $R_{ms}$  to the cleavage plane of the wafer measured in the experiment for manufacturing the nano SOI wafer by one example of this invention.

[Drawing 21] It is the graph which shows the relation of the etching time and the amount of average etching to the silicon measured in the experiment for manufacturing the nano SOI wafer by one example of this invention.

[Description of Notations]

[0066]

10 Joint Wafer

12 Silicon Oxide

14 Hydrogen Ion Impregnation Section

16 Silicon Germanium Layer

20 Criteria Wafer

80 Base

82a and 82b Wafer susceptor

84a and 84b Wafer sticking-by-pressure rod

---

[Translation done.]

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

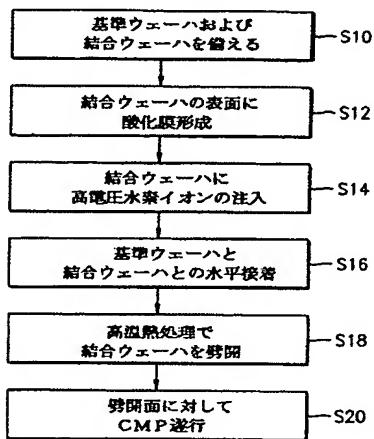
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

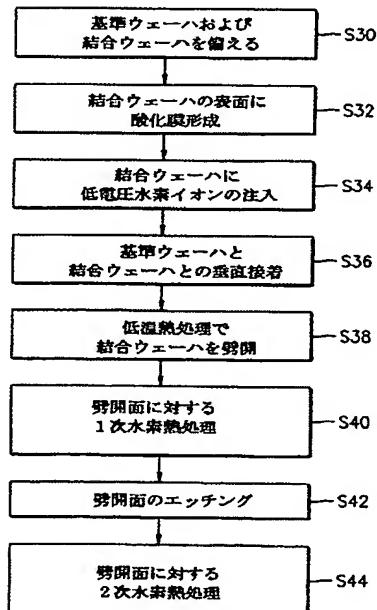
## DRAWINGS

---

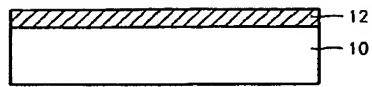
### [Drawing 1]



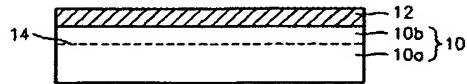
### [Drawing 2]



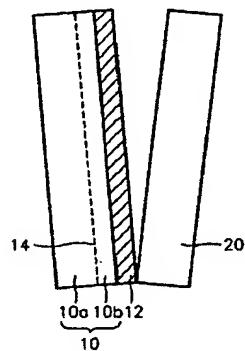
### [Drawing 3]



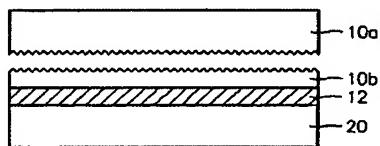
[Drawing 4]



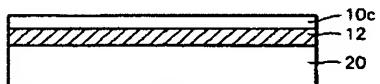
[Drawing 5]



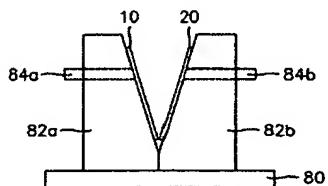
[Drawing 6]



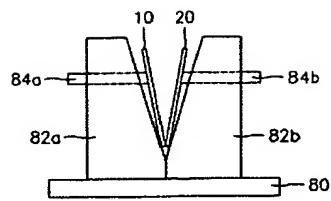
[Drawing 7]



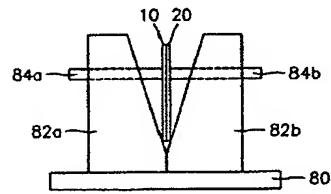
[Drawing 8]



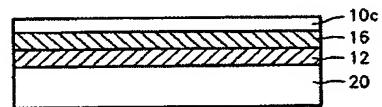
[Drawing 9]



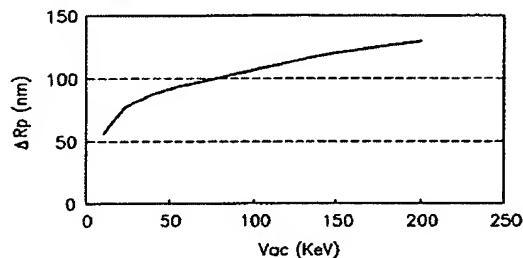
[Drawing 10]



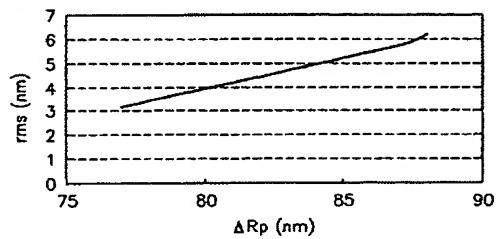
[Drawing 11]



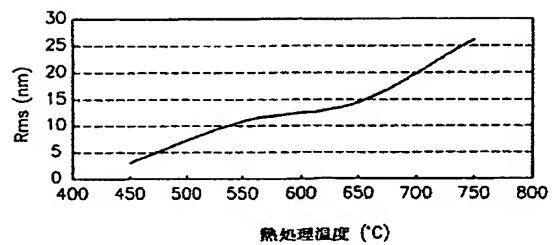
[Drawing 12]



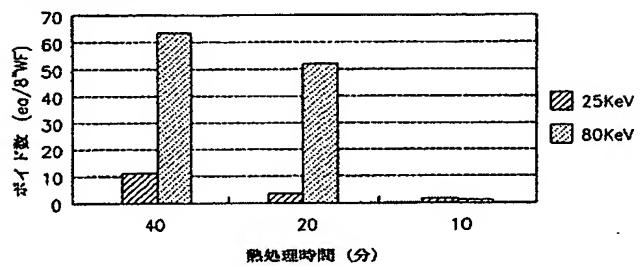
[Drawing 13]



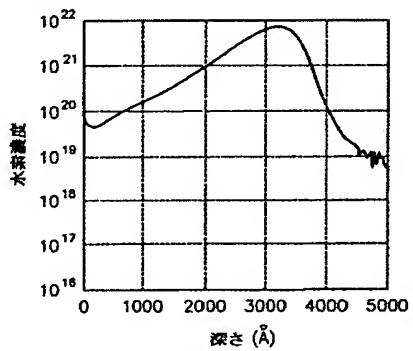
[Drawing 14]



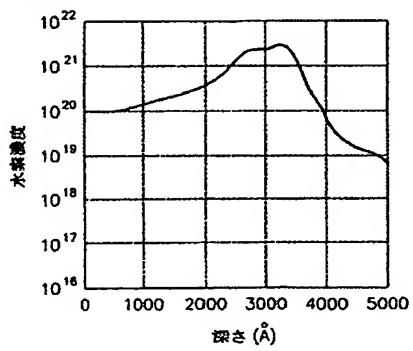
[Drawing 15]



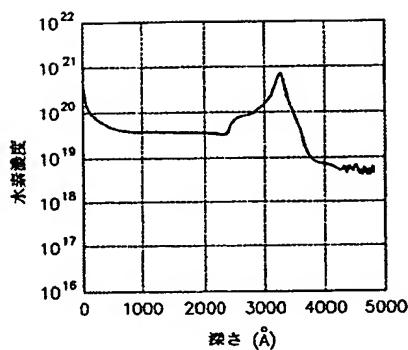
[Drawing 16]



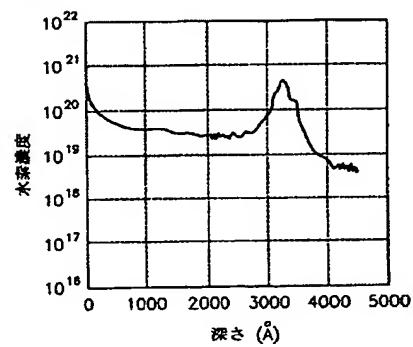
[Drawing 17]



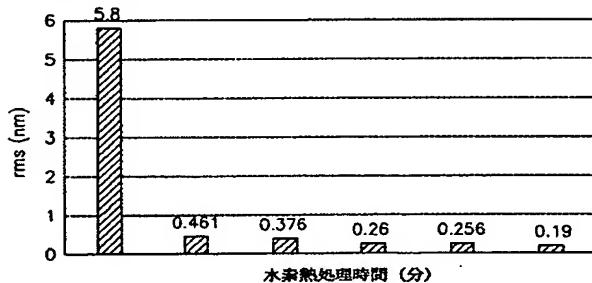
[Drawing 18]



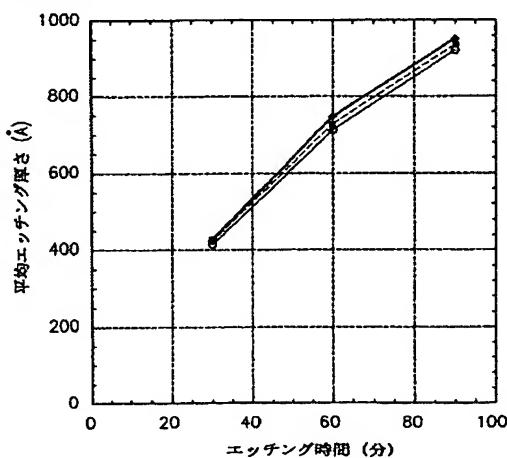
[Drawing 19]



[Drawing 20]



[Drawing 21]



(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号  
特開2004-80035  
(P2004-80035A)

(43) 公開日 平成16年3月11日(2004.3.11)

(51) Int. Cl. <sup>7</sup>	F 1	テーマコード (参考)
HO1L 27/12	HO1L 27/12	B 5FO32
HO1L 21/02	HO1L 21/02	B
HO1L 21/265	HO1L 21/76	D
HO1L 21/762	HO1L 21/265	Q

審査請求 有 請求項の数 20 O.L. (全 16 頁)

(21) 出願番号	特願2003-291700 (P2003-291700)	(71) 出願人	503290052 朴 在僅 大韓民国京畿道城南市盆唐区九美洞 211 番地 ムジグマウル建栄アパート 1003 棟 1901号
(22) 出願日	平成15年8月11日 (2003.8.11)	(71) 出願人	503290063 シルトロン株式会社 大韓民国慶尚北道龟尾市臨水洞 274 番地
(31) 優先権主張番号	2002-047351	(74) 代理人	100064908 弁理士 志賀 正武
(32) 優先日	平成14年8月10日 (2002.8.10)	(74) 代理人	100108578 弁理士 高橋 詔男
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100089037 弁理士 渡邊 隆

最終頁に続く

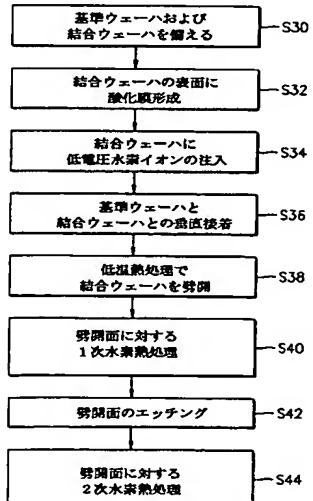
(54) 【発明の名称】ナノSOIウェーハの製造方法及びそれにより製造されたナノSOIウェーハ

## (57) 【要約】

【課題】 CMP工程を使用しなくても厚さ均一度が非常に優秀なナノSOIウェーハを製造する方法及びそれにより製造されたウェーハを提供する。

【解決手段】 本発明は、結合ウェーハおよび基準ウェーハを備え、前記結合ウェーハの少なくとも一面に絶縁膜を形成し、次いで、前記結合ウェーハの表面から所定深さに不純物イオンを低電圧で注入して不純物イオン注入部を形成した後、前記結合ウェーハの絶縁膜と前記基準ウェーハとを互いに接触させて接着し、次いで、低温熱処理を行って前記結合ウェーハの不純物イオン注入部を開き、前記基準ウェーハと接着された前記結合ウェーハの劈開された表面をエッティングしてナノスケールの素子形成領域を形成するナノSOIウェーハの製造方法である。劈開された表面に対するエッティングは水素表面処理およびウェットエッティングを使用して行える。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

結合ウェーハおよび基準ウェーハを備える段階と、  
前記結合ウェーハの少なくとも一面に絶縁膜を形成する段階と、  
前記結合ウェーハの表面から所定深さに不純物イオンを低電圧で注入して不純物イオン注入部を形成する段階と、  
前記結合ウェーハの絶縁膜と前記基準ウェーハとを互いに接触させて接着する段階と、  
低温熱処理を行って前記結合ウェーハの不純物イオン注入部を劈開する段階と、  
前記基準ウェーハと接着された前記結合ウェーハの劈開された表面をエッティングしてナノスケールの素子形成領域を形成する段階と、を含むナノSOIウェーハの製造方法。 10

## 【請求項 2】

前記結合ウェーハは単結晶シリコンウェーハであり、前記結合ウェーハに絶縁膜を形成する前に、前記絶縁膜が形成される前記結合ウェーハの表面にシリコンゲルマニウム層を形成する段階をさらに含むことを特徴とする請求項 1 に記載のナノSOIウェーハの製造方法。

## 【請求項 3】

前記結合ウェーハは単結晶シリコンウェーハであり、前記結合ウェーハに形成された絶縁膜は熱工程により形成されたシリコン酸化膜であることを特徴とする請求項 1 または 2 のいずれかに記載のナノSOIウェーハの製造方法。

## 【請求項 4】

前記不純物イオンは水素イオンであり、前記水素イオンは 30KeV 以下の低電圧下で注入されることを特徴とする請求項 1 または 2 のいずれかに記載のナノSOIウェーハの製造方法。 20

## 【請求項 5】

前記イオン注入された水素イオンの投影飛程距離は前記結合ウェーハの表面から 100 0 ないし 4000 Å の範囲内に形成されることを特徴とする請求項 4 に記載のナノSOIウェーハの製造方法。

## 【請求項 6】

前記結合ウェーハと基準ウェーハとを接着する段階は、前記結合ウェーハと前記基準ウェーハとの少なくとも一部分を接触させた後、順次に接触面積を広げながら接着することを特徴とする請求項 1 または 2 のいずれかに記載のナノSOIウェーハの製造方法。 30

## 【請求項 7】

前記結合ウェーハと基準ウェーハとを接着する段階は常温で行うことを特徴とする請求項 6 に記載のナノSOIウェーハの製造方法。

## 【請求項 8】

前記結合ウェーハと基準ウェーハとを接着する段階は、前記結合ウェーハと前記基準ウェーハとの垂直方向の下側の少なくとも一部分を接触させた後、順次に上側方向に接触面積を広げながら加圧して接着することを特徴とする請求項 6 に記載のナノSOIウェーハの製造方法。

## 【請求項 9】

前記結合ウェーハの不純物イオン注入部を劈開する段階は 400 °C 以下の低温で熱処理して行うことを特徴とする請求項 1 または 2 のいずれかに記載のナノSOIウェーハの製造方法。 40

## 【請求項 10】

前記結合ウェーハの劈開された表面の Rms 値を 30 ないし 40 Å にすることを特徴とする請求項 1 または 2 のいずれかに記載のナノSOIウェーハの製造方法。

## 【請求項 11】

前記結合ウェーハを劈開する段階で前記基準ウェーハと接着された前記結合ウェーハの残留する厚さは 3000 Å 以下にすることを特徴とする請求項 1 または 2 のいずれかに記載のナノSOIウェーハの製造方法。 50

## 【請求項 12】

前記結合ウェーハの劈開された表面をエッチングして素子形成領域を形成する段階は、前記基準ウェーハと結合された前記結合ウェーハの劈開された表面をウェットエッチングする段階と、

前記ウェットエッチングされた結合ウェーハの表面に対して水素熱処理を行う段階とを含むことを特徴とする請求項1または2のいずれかに記載のナノS O Iウェーハの製造方法。

## 【請求項 13】

前記結合ウェーハの表面に対して水素熱処理を行う段階は1100°C以上の温度で少なくとも1分以上行うことを特徴とする請求項12に記載のナノS O Iウェーハの製造方法。

10

## 【請求項 14】

前記基準ウェーハと結合された前記結合ウェーハの劈開された表面をウェットエッチングする段階以前に、前記結合ウェーハの劈開された表面に対して水素熱処理を行う段階をさらに含むことを特徴とする請求項12に記載のナノS O Iウェーハの製造方法。

## 【請求項 15】

前記結合ウェーハの表面に対して水素熱処理を行う段階は1100°C以上の温度で少なくとも1分以上行うことを特徴とする請求項14に記載のナノS O Iウェーハの製造方法。

## 【請求項 16】

前記基準ウェーハと結合された前記結合ウェーハの劈開された表面をウェットエッチングする段階は、NH<sub>4</sub>OH、H<sub>2</sub>O<sub>2</sub>及びH<sub>2</sub>Oの混合溶液をエッチング液として使用して行うことを特徴とする請求項12に記載のナノS O Iウェーハの製造方法。

20

## 【請求項 17】

前記結合ウェーハの表面にシリコンゲルマニウム層を形成する段階はエピタクシー工程により行うことを特徴とする請求項2に記載のナノS O Iウェーハの製造方法。

## 【請求項 18】

請求項1の製造方法により製造されたナノS O Iウェーハ。

## 【請求項 19】

請求項2の製造方法により製造されたナノS O Iウェーハ。

30

## 【請求項 20】

前記素子形成領域の厚さは50nm以下であり、前記素子形成領域の表面のRms値は2Å以下になることを特徴とする請求項18または19のいずれかに記載のナノS O Iウェーハ。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明はS O I (Silicon On Insulator) ウェーハの製造方法及びそれにより製造されたS O Iウェーハに係り、より詳細には素子形成領域の厚さがナノスケールであるナノS O Iウェーハの製造方法及びそれにより形成されたナノS O Iウェーハに関する。

40

## 【背景技術】

## 【0002】

通常のシリコン集積回路を製作するために使われるバルクシリコン基板での接合分離は、適当なドーピングレベルおよびディメンション下で約±30Vの供給電圧下で接合破壊が発生するために高電圧の応用には適していないだけでなく、接合分離はガンマ線によりp-n接合で発生する過度光電流のために高放射能環境下では効果的でない。したがって、p-n接合の代りに絶縁物で素子の周囲を取り囲む分離技術であるS O I技術が開発されたが、このようなS O I基板で製作される回路はバルクシリコン基板内に製作される

50

回路に比べて製作過程及び結果構造が単純でチップサイズを縮めることができ、チップサイズの縮小と共に寄生キャパシタンスが減少するために回路の動作速度が速いという長所がある。

【0003】

このようなSOI技術には、サファイア上にヘテロエピタキシャルシリコン層を成長させるSOS (Silicon On Sapphire) 技術、シリコン基板内に酸素イオンを注入した後でアニーリングさせて埋没されたシリコン酸化層を形成するSIMOX (Separation by Implanted Oxygen) 技術、表面に絶縁層が形成された少なくとも一つのウェーハと他のウェーハとを接着させたボンディングSOI技術などが知られている。

10

【0004】

このようなボンディングSOI技術を利用した例として、いわゆるユニボンド(UNIBOND)ウェーハを製造するために使われる、いわゆる“スマートカット”工程技術が公知のものである。スマートカット工程技術は、水素イオンをボンディングされるウェーハのうち一つにイオン注入して微細なバブル層を形成した後、熱処理によりこのバブル層を中心にウェーハを劈開させる技術であって、図1は、従来のスマートカット工程技術を利用したSOIウェーハを製造する方法を示す工程順序図である。

20

【0005】

図1を参照すれば、後続工程により互いに接着される基準ウェーハおよび結合ウェーハを備える(S10)。基準ウェーハはSOIウェーハを物理的に支持する役割をしてハンドリングウェーハともいい、結合ウェーハは後続工程により半導体素子のチャンネルが形成されるウェーハであって、素子ウェーハともいう。

【0006】

次いで、単結晶シリコンよりなる結合ウェーハに対して熱酸化工程を行って結合ウェーハの表面に酸化膜、すなわち、シリコン酸化膜を形成する(S12)。シリコン酸化膜はSOIウェーハで埋没酸化層(Buried Oxide Layer; BOX層)の役割をするものであって、必要に応じて数十ないし数千Åの厚さに形成できる。

【0007】

次いで、結合ウェーハに対して高電圧の水素イオンを注入する(S14)。水素イオンの注入エネルギーは約125KeVの高電圧エネルギーを使用し、水素ドーズ量は約 $6 \times 10^{16} \text{ cm}^{-2}$ にする。したがって、シリコン酸化膜下の結合ウェーハの表面から所定の深さに投影飛程距離( $R_p$ )を有する水素イオン注入部が形成される。

30

【0008】

次に、基準ウェーハおよび結合ウェーハを洗浄して表面の汚染物を除去した後、これら両ウェーハを水平に接着させる(S16)。接着方法は基準ウェーハを水平に置いたままその上にシリコン酸化膜が形成された結合ウェーハの部分を水平的に平行に位置させた後、常温で全体ウェーハの表面が同時に接触されるように下部方向に結合ウェーハを置きながら両ウェーハを接着させる。この時、両ウェーハは親水性の条件下で水素結合により相互接着される。

【0009】

次いで、高温で熱処理を行って水素イオン注入部部分を劈開する(S18)。熱処理は窒素雰囲気下で約550°Cの温度下で約1時間行う。劈開過程は、熱処理中に水素イオン注入部部分のバブルが相互作用して十分なブリストが形成され、これらが伝播されながらフレーク現象が発生して行われる。劈開後に結合ウェーハの残留するシリコン層表面の $R_{ms}$ (root mean square roughness)値が約100ないし120Åとなり、残留するシリコン層の厚さが約9000Åとなる。

40

【0010】

次いで、シリコン層の劈開面に対して化学機械的研磨(CMP)工程を行う(S20)。CMP工程は半導体素子のチャンネルが形成される素子形成領域の厚さが所望の厚さになるまで行える。

50

## 【0011】

一方、SOIウェーハに形成される半導体素子の高集積化、高速化及び低電力化に対する要求に応じてSOIウェーハにおいて半導体素子が形成される素子形成領域（またはチャンネル領域）は益々薄くなっている、同時にBOX層も益々薄くなっている状況である。すなわち、シリコンSOIの素子形成領域（チャンネル領域）の厚さが約1000nm以上になる厚いSOIウェーハはMEMS、センサー、フォトダイオード、バイポーラと電力素子などを形成するために使用でき、マイクロディスプレイまたは部分空乏CMOSなどは素子形成領域の厚さが約50ないし1000nmである薄いSOIウェーハでも生産できるが、完全空乏CMOS、ナノCMOS素子または単電子素子は素子形成領域の厚さが約50nm以下であるナノSOIウェーハを要求するに至った。

10

## 【0012】

しかし、前述した従来のスマートカット工程技術を使用してナノSOIウェーハを製造するのには次のような問題点が発生する。

## 【0013】

第1に、従来には結合ウェーハの水素イオン注入部を劈開した後で劈開された表面を平坦化し、所望の素子形成領域の厚さになるまでCMP工程を行わねばならない。しかし、一般的に半導体素子の製造工程においてCMP工程は工程コストが非常に高くて工程時間が長くかかり、CMP工程によるウェーハの中心部と周辺部との厚さ偏差が非常に大きくてCMP実施時にクラックなどの欠陥が発生するという短所がある。

20

## 【0014】

第2に、水素イオンを結合ウェーハ内にイオン注入する時に高エネルギー電圧下で行うために水素イオンの投影飛程距離が非常に大きくなり、したがって後続の劈開工程後にシリコン層の厚さが約9000Åに厚く残留するために素子形成領域が約50nm（500Å）以下になるナノSOIウェーハを製造するにはCMP工程時間が長くかかるだけでなく、研磨されるシリコン層の消耗量が多くなるという問題点がある。

## 【0015】

第3に、結合ウェーハと基準ウェーハとを接着する従来の水平接着方式によれば、接着面でボイドなどの欠陥が非常に多く発生して弱くなるという問題点がある。

30

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0016】

本発明の目的は、前記従来技術の問題点を克服するために、CMP工程を使用しなくても厚さ均一度が非常に優れたナノSOIウェーハを製造する方法を提供するところにある。

## 【0017】

本発明の他の目的は、結合ウェーハと基準ウェーハ間の接着面にボイドが発生することを抑制してウェーハの接着力を向上させたナノSOIウェーハを製造する方法を提供するところにある。

## 【0018】

本発明のまた他の目的は、前記本発明による製造方法により製造されるナノSOIウェーハを提供するところにある。

40

## 【課題を解決するための手段】

## 【0019】

前記本発明の目的を達成するための本発明によるナノSOIウェーハの製造方法は、結合ウェーハおよび基準ウェーハを備え、前記結合ウェーハの少なくとも一面に絶縁膜を形成する。次いで、前記結合ウェーハの表面から所定深さに不純物イオンを低電圧で注入して不純物イオン注入部を形成した後、前記結合ウェーハの絶縁膜と前記基準ウェーハとを互いに接触させて接着する。次いで、低温熱処理を行って前記結合ウェーハの不純物イオン注入部を劈開し、前記基準ウェーハと接着された前記結合ウェーハの劈開された表面をエッチングしてナノスケールの素子形成領域を形成する。

50

## 【0020】

一方、前記結合ウェーハは単結晶シリコンウェーハであり、前記結合ウェーハに絶縁膜を形成する前に、前記絶縁膜が形成される前記結合ウェーハの表面にシリコンゲルマニウム層を形成する段階をさらに含む。また、前記結合ウェーハは単結晶シリコンウェーハであり、前記結合ウェーハに形成された絶縁膜は熱工程により形成されたシリコン酸化膜である。

## 【0021】

前記不純物イオンは水素イオンであり、前記水素イオンは低電圧、例えば30KeV以下の低電圧下で注入され、前記イオン注入された水素イオンの投影飛程距離( $R_p$ )は前記結合ウェーハの表面から近い、例えば1000ないし4000Åの範囲内に形成されることが望ましい。前記投影飛程距離はイオン注入電圧を調節することによって制御できる。

10

## 【0022】

前記結合ウェーハと基準ウェーハとを接着する段階は、前記結合ウェーハと前記基準ウェーハとの少なくとも一部分を接触させた後、順次に接触面積を広げながら接着させることが、接触面でのボイドの発生を減らしうるという点で望ましくて、例えば、前記結合ウェーハと基準ウェーハとを垂直方向の下側の少なくとも一部分を接触させた後、順次に上側方向に接触面積を広げながら加圧して接着させる。

## 【0023】

前記結合ウェーハの不純物イオン注入部を劈開する段階は400°C以下の低温で熱処理して行い、望ましくは、前記結合ウェーハの劈開された表面のRms値を30ないし40Åにし、また望ましくは、前記結合ウェーハを劈開する段階で前記基準ウェーハと接着された前記結合ウェーハの残留する厚さは3000Å以下にする。

20

## 【0024】

一方、前記結合ウェーハの劈開された表面をエッティングして素子形成領域を形成する段階は、前記基準ウェーハと結合された前記結合ウェーハの劈開された表面をウェットエッティングした後、前記ウェットエッティングされた結合ウェーハの表面に対して水素熱処理を行って実施される。前記基準ウェーハと結合された前記結合ウェーハの劈開された表面をウェットエッティングする段階以前に、前記結合ウェーハの劈開された表面に対して水素熱処理を行う段階をさらに含むことが、前記結合ウェーハの劈開された表面をウェットエッティングするのに効率的であり、前記結合ウェーハの表面に対して水素熱処理を行う段階は1100°C以上の温度で少なくとも1分以上行う。

30

## 【0025】

前記基準ウェーハと結合された前記結合ウェーハの劈開された表面をウェットエッティングする段階は、NH<sub>4</sub>OH、H<sub>2</sub>O<sub>2</sub>及びH<sub>2</sub>Oの混合溶液をエッティング液として使用して行うことが、エッティング速度が遅くてエッティング厚さを均一に調節できるという点で望ましい。

## 【0026】

一方、本発明の前記他の目的による本発明の製造方法により製造されたナノSOIウェーハにおいて、前記素子形成領域の厚さは50nm以下であり、前記素子形成領域の表面のRms値は2Å以下となる。

40

## 【0027】

本発明によれば、低電圧で水素イオンを注入するために水素イオンの投影飛程距離( $R_p$ )が小さくなると同時に、注入された水素イオン注入部の分布を左右する△ $R_p$ の値も小さくなり、これによって後続する水素イオン注入部の劈開工程時に劈開された表面のRms値が小さくなつてCMP工程なしに劈開表面に対する水素熱処理およびウェットエッティング工程だけでもナノスケール素子形成領域を形成できる。

## 【0028】

また、本発明によれば、結合ウェーハと基準ウェーハとの接触面積を広げながら接着させるために接着面でのボイドの発生を減らして両ウェーハの接着力を向上させることができ

50

きる。

【0029】

また、本発明によれば、低温で劈開工程を行うことによって劈開された表面の  $R_{ms}$  値が小さくなつて CMP 工程なしに劈開表面に対する水素熱処理およびウェットエッチング工程だけでもナノスケール素子形成領域を形成でき、また低温で劈開工程を行うために水素イオンのアウトディフュージョン量が少なく、したがつて、十分なブリスタおよびフレーク現象を発生させるのに十分な水素イオン注入濃度を維持するための水素イオンドーズ量を増加させる必要がなくて生産コストが下がる。

【0030】

また、本発明によれば、劈開面に対する水素熱処理を行うために劈開面の  $R_{ms}$  値が顕著に減少して所望のナノスケール SOI ウェーハの表面粗度を達成でき、ウェットエッチング工程以前にあらかじめ劈開面に対する水素熱処理を追加的に行うためにウェットエッチング工程を効果的に行える。 10

【0031】

また、本発明によれば、劈開面に対して CMP 工程なしにウェットエッチングで表面エッチング量を低く維持することによってエッチング厚さを均一に維持できる。

【発明の効果】

【0032】

以上、本発明の望ましい実施例について前述したが、本発明はこれに限定されず、特許請求の範囲の技術的思想の範囲内で当業者により多様に変形実施できることはもちろんである。 20

【0033】

本発明によれば、低電圧イオン注入により水素イオンの投影飛程距離 ( $R_p$ ) が小さくなると同時に  $\Delta R_p$  の値も小さくなり、これによって劈開工程時に劈開された表面の  $R_{ms}$  値が小さくなつて CMP 工程なしに劈開表面に対する水素熱処理およびウェットエッチング工程だけでもナノスケール素子形成領域を形成できる。

【0034】

また、本発明によれば、結合ウェーハと基準ウェーハとの接触面積を広げながら接着させるために接着面でのボイドの発生を減らして両ウェーハの接着力を向上させることができ。 30

【0035】

また、本発明によれば、低温で劈開工程を行うことによって劈開された表面の  $R_{ms}$  値が小さくなつて水素熱処理およびウェットエッチング工程だけでもナノスケール素子形成領域を形成でき、水素イオンのアウトディフュージョン量が少なく、したがつて、少ない水素イオンドーズ量だけで十分なフレーク現象を発生させて生産コストが下がる。

【0036】

また、本発明によれば、劈開面に対する水素熱処理により劈開面の  $R_{ms}$  値が顕著に減少して所望のナノスケール SOI ウェーハの表面粗度を達成でき、ウェットエッチング工程以前にあらかじめ劈開面に対する水素熱処理を追加的に行うためにウェットエッチング工程を効果的に行える。 40

【発明を実施するための最良の形態】

【0037】

以下、添付図面を参照して本発明の望ましい実施例を詳細に説明する。

【0038】

次に説明される実施例はいろいろな他の形態に変形でき、本発明の範囲が後述される実施例に限定されるのではない。本発明の実施例は当業者に本発明をより完全に説明するために提供されるものである。本発明の実施例を説明する図面において、ある層や領域の厚さは明細書の明確性のために誇張されたものであり、図面上の同じ符号は同じ要素を示す。また、ある層が他の層または基板の“上部”にあると記載された場合、前記ある層が前記他の層または基板の上部に直接存在することもあり、その間に第 3 の層が介在されるこ 50

ともある。

【0039】

図2は、本発明の望ましい実施例によるナノSOIウェーハの製造方法を表した工程順序図であり、図3ないし図7は本発明の一実施例によるナノSOIウェーハの製造方法を説明するための工程断面図である。前述した図1の従来技術との差異点を中心に説明する。

【0040】

図2ないし図7を参照すれば、まず後続工程により互いに接着される基準ウェーハ20および結合ウェーハ10を備える(S30)。基準ウェーハ20はSOIウェーハを物理的に支持する支持台の役割をしていわゆるハンドリングウェーハともいい、結合ウェーハ10は後続工程により半導体素子のチャンネル領域(素子形成領域)が形成されるウェーハであって、素子ウェーハともいう。

【0041】

次いで、例えば、単結晶シリコンよりなる結合ウェーハ10の少なくとも一表面に絶縁膜を通常の多様な方法により形成でき、例えば、熱酸化工程を行って結合ウェーハ10の表面に酸化膜、すなわち、シリコン酸化膜12を形成する(S32)。シリコン酸化膜12はSOIウェーハでBOX層の役割をするものであって、必要に応じて数十ないし数千Å程度の厚さに形成できるが、ナノSOIウェーハでは数十ないし数百Å、例えば約200Åの厚さに形成できる。

【0042】

図3には結合ウェーハ10の上部表面にのみシリコン酸化膜12が形成されていることと図示されているが、熱酸化工程により露出された結合ウェーハ10の全面にシリコン酸化膜12が形成されることもあり、必要に応じてこのような状態を維持するか、結合ウェーハ10の一表面にのみシリコン酸化膜12を残留させて他の部分は除去することもある。

【0043】

次いで、結合ウェーハ10に対して低電圧の不純物イオン、例えば、水素イオンを注入する(S34)。本実施例では水素イオンの注入エネルギーには約25KeVの低電圧エネルギーを使用し、水素ドーズ量は約 $6 \times 10^{16} \text{ cm}^{-2}$ にした。したがって、シリコン酸化膜下の結合ウェーハの表面から所定の深さに投影飛程距離(Rp)を有する水素イオン注入部14が形成され、これを境界にして結合ウェーハ10は素子形成部10bと除去部10aとに区分される。図4では水素イオン注入部14を点線で表示したが、水素イオン注入部は水素イオンが一定幅を有して分布された領域を意味する。

【0044】

本発明者は不純物イオン注入エネルギーと投影飛程距離(Rp)及び $\Delta R_p$ との相関関係についてシミュレーションを行ったが、シミュレーション条件として、水素イオン注入のサンプルは200Åのシリコン酸化膜が形成されたシリコン基板とし、水素イオンドーズ量は $6 \times 10^{16} \text{ cm}^{-2}$ に設定した。シミュレーション結果を表1に示した。

【表1】

Vac (Kev)	10	20	30	50	75	100	150	200
Rp値 (nm)	180.8	299.4	389.6	542.4	718	900	1300	1780
$\Delta R_p$ 値 (nm)	55.9	73.1	81.5	91.5	99.3	106.6	120.3	129.5

【0045】

表1によれば、水素イオン注入エネルギー(acceleration Voltage; Vac)の減少によって投影飛程距離(Rp)はほとんど比例的に減少することが分かり、 $\Delta R_p$ 値もイオン注入エネルギーの減少によって減少するが、イオン注入電圧が50KeV以下、特に30KeV以下では顕著に減少することが分かり、この結果を示した図12を参照すればより明確に分かる。図12で横軸は水素イオン注入エネルギー(Va

10

20

30

40

50

c) であり、縦軸は△R<sub>p</sub>値を示す。

【0046】

さらに、本発明者は△R<sub>p</sub>値とR<sub>ms</sub>値との相関関係を調べるために水素イオン注入直後にS I M Sで△R<sub>p</sub>値を測定し、水素イオン注入部14の劈開工程後にR<sub>ms</sub>値(10μm × 10μm)をAFMで測定して表2に示した。

【表2】

Vac (Kev)	26	42	45.2
△Rp値(nm)	77	87	88
rms値(nm)	3.16	5.72	6.55

10

【0047】

表2によれば、水素イオン注入エネルギー(Vac)の増加によって△R<sub>p</sub>値も増加することが分かり、R<sub>ms</sub>値も増加することが分かる。△R<sub>p</sub>値とR<sub>ms</sub>値との変化関係を図13に図示した。図13で横軸は△R<sub>p</sub>値を、縦軸はR<sub>ms</sub>値を示す。

【0048】

図12及び図13から、水素イオン注入エネルギーの増加によって投影飛程距離が増加して、それにより△R<sub>p</sub>値も増加することが分かり、R<sub>ms</sub>値も一定の相関関係を有して増加することが分かる。本発明者はこのようなシミュレーションおよび実験結果に基づいて後述するナノスケールSOIウェーハを製造するための水素イオン注入エネルギーを30KeV以下にすることが適切であると判断した。

20

【0049】

次に図2、図5、図8ないし図10を参照すれば、基準ウェーハ20および結合ウェーハ10を洗浄して表面の汚染物を除去した後、これら両ウェーハを垂直的に接着させる(S36)。本発明では従来の水平接着式とは違って基準ウェーハ20と結合ウェーハ10とのシリコン酸化膜12の少なくとも一部が先に接触されてその接触面積が一側方向に広がりながら接着されるようになる。これは基準ウェーハ20および結合ウェーハ10の表面がいずれも屈曲があるという点とシリコンウェーハが弾性体であるという点を考慮して一側方向に加圧しながら接着させることによって、接触表面が平坦になってこれら間に形成されうる水分などのボイド成分を外側に押し出して除去しながら接着させる形であるために、接着面でのボイドが顕著に減少して接着力が向上する。

30

【0050】

図8ないし図10を参照してより具体的な接着方法を説明すれば、基準ウェーハ20と結合ウェーハ10とをそれぞれ斜めな傾斜面を有するウェーハ支持台82a、82bに載置させる。この時、各ウェーハ支持台82a、82bはベース80上に固定され、各ウェーハ支持台82a、82bの傾斜面にはウェーハの形状に対応する適切な大きさおよび深さを有する定着部(図示せず)が形成されて各ウェーハを固定できるように構成されている。各ウェーハ支持台82a、82bの中央部には各ウェーハ10、20を背面から加圧して圧着できるウェーハ圧着棒84a、84bが形成されている。したがって、図8から図10の順序に基準ウェーハ10と結合ウェーハ20とを加圧して接着させる。

40

【0051】

本発明での基準ウェーハ20と結合ウェーハ10との接着は常温で実施することが望ましく、この時、両ウェーハは親水性条件下で水素結合により相互接着される。

【0052】

次いで図2及び図6を参照すれば、低温で熱処理を行って水素イオン注入部14部分を劈開する(S38)。本実施例で劈開熱処理は約400°C以下で少なくとも約1分以上行う。劈開過程は前記のように熱処理中に水素イオン注入部部分のバブルが相互作用をして十分なブリスタが形成され、これらが伝播されてフレーク現象が発生しながら行われる。本実施例で結合ウェーハ10の劈開された表面のR<sub>ms</sub>値は約30ないし40Åの範囲に維持され、劈開後の素子形成部10bの厚さは約3000Åになる。

50

## 【0053】

本発明者は劈開のための熱処理温度およびR<sub>ms</sub>値を調べるために次の実験をした。実験条件として、水素イオン注入エネルギーは28.5KeVであり、水素イオンドーズ量は $5 \times 10^{16} \text{ cm}^{-2}$ に設定した。TEMで測定した実験結果を図14に示した。

## 【0054】

図14で横軸は熱処理温度を示し、縦軸はR<sub>ms</sub>値(nm)を示す。熱処理温度が450°Cである場合にR<sub>ms</sub>値は約3.15nmであり、熱処理温度が550°Cである場合にR<sub>ms</sub>値は約10.9nmであり、熱処理温度が650°Cである場合にR<sub>ms</sub>値は約14.5nmであり、熱処理温度が750°Cである場合にR<sub>ms</sub>値は約25.0nm以上になることが分かる。また、熱処理温度が550°Cである場合に劈開面でディスロケーションが発生して熱処理温度の増加と共にディスロケーションが成長及び凝集することが分かる。このような劈開面でのディスロケーションは後続する結合ウェーハ10の素子形成部10bのウェットエッチングを阻害する要素となる。

## 【0055】

このようなディスロケーションの発生および劈開面でのR<sub>ms</sub>値を考慮して劈開工程時の熱処理温度は450°C以下に維持することが望ましい。

## 【0056】

図15は、劈開工程時の熱処理時間と劈開面でのボイド数との関係を示すグラフである。熱処理温度は450°C以下であり、サンプルはそれぞれイオン注入エネルギー25KeV及び80KeVで行ったものであり、熱処理時間は10分、20分及び40分である。グラフから分かるように、劈開工程を低温で熱処理して行っても熱処理時間が短いほどボイドの数が減少することが分かる。

## 【0057】

図16ないし図19は、劈開工程時に熱処理温度を変化させながら結合ウェーハの表面からの深さによる水素濃度の変化を測定して示すグラフである。測定条件としてイオン注入エネルギーは26KeVであり、水素イオンドーズ量は $5 \times 10^{16} \text{ cm}^{-2}$ に設定した。図16は熱処理をしていない結果のグラフであり、図17は450°Cでの熱処理を行った結果のグラフであり、図18は650°Cでの熱処理を行った結果のグラフであり、図19は750°Cでの熱処理を行った結果のグラフである。

## 【0058】

図16ないし図19の結果から、結合ウェーハ10に対する劈開工程時に熱処理温度が上昇するにつれて水素イオンのアウトディフュージョンが活発に発生することが分かる。したがって、劈開工程時に十分なブリスタおよびフレーク現象の発生のための水素イオンドーズ量を維持するためには劈開工程時に熱処理温度が上昇するにつれて水素イオンドーズ量を増加させねばならないため、生産コストが高まり、かつ図14のようにR<sub>ms</sub>が悪くなるが、低温で熱処理を行えば水素イオンのアウトディフュージョンが低くて少量の水素イオンドーズ量でも十分に劈開されうるということが分かる。

## 【0059】

続けて図2を参照すれば、低温熱処理で結合ウェーハ10の水素イオン注入部14を劈開した後、劈開された素子形成部10bの表面に対して1次水素熱処理を行う(S40)。水素雰囲気下で熱処理温度1100°C以上で少なくとも1分以上行い、水素熱処理後に素子形成部10bのR<sub>ms</sub>値は30ないし40Åから10Å以下と低くなる。

## 【0060】

図20は、劈開された表面に対する水素熱処理時間と表面のR<sub>ms</sub>値との関係を測定した結果のグラフである。熱処理温度1135°Cで行った結果であり、熱処理時間が延びるにつれてR<sub>ms</sub>値は顕著に減少することが分かる。

## 【0061】

続けて図2を参照すれば、1次水素熱処理を行った後、劈開された素子形成部10bの表面に対してウェットエッチングを行う(S42)。エッチング液にはNH<sub>4</sub>OH:H<sub>2</sub>O<sub>2</sub>:H<sub>2</sub>O=0.5:1:5のエッチング液を使用し、エッチング温度は65ないし100°Cである。

10

20

30

40

50

00°Cの範囲で行い、エッチング時間及びエッチング厚さは所望の最終素子形成領域（図7の10c）の厚さを考慮して設定した。ナノスケールSOIの場合に素子形成領域10cの厚さが50nm以下になるようにエッチングを続ける。本発明のエッチング液を選択した理由はエッチング速度が遅くてエッチング後のエッチング厚さの均一度が優れているからである。

【0062】

図21は、3つのシリコンサンプルに対する本発明のエッチング工程を行った後、エッチング時間による平均エッチング厚さを測定した結果のグラフである。グラフからエッチング時間によって平均エッチング厚さがほとんど比例的に増加することが分かる。したがって、本発明の最終的な素子形成領域10cの厚さはエッチング時間によって円滑に調節できる。

【0063】

続けて図2を参照すれば、劈開面に対するエッチング工程が完了した後、最終的にエッチングされた素子形成領域10cの表面に対して2次水素熱処理工程を行う（S44）。2次熱処理工程は前述した1次熱処理工程と同じ方法で行う。2次熱処理工程の遂行後に素子形成領域10cのRms値はナノスケールSOIウェーハで要求される2Å以下に維持されることが分かる。

【0064】

図11は、本発明の他の実施例によって製造されたナノSOIウェーハの断面図であり、図7のウェーハと比較してシリコン酸化膜12と素子形成領域10cとの間にシリコングルマニウム層16が形成された点を除いては同一である。製造方法はシリコングルマニウム層16の形成段階を除いて前述した図7のナノSOIウェーハの製造方法と同一である。すなわち、図2を参照すれば、結合ウェーハ10の表面にシリコン酸化膜12を形成する前にエピタクシー工程により結合ウェーハ10の表面にシリコングルマニウム層16を形成し、結合ウェーハ10に対する水素イオン注入時に水素イオン注入部をシリコングルマニウム層16の下に形成する。

【図面の簡単な説明】

【0065】

【図1】従来のSOIウェーハを製造する工程段階を示す工程順序図である。

【図2】本発明の一実施例によってナノSOIウェーハを製造する工程段階を示す工程順序図である。

【図3】本発明の一実施例によってナノSOIウェーハを製造する各工程段階を示す工程断面図である。

【図4】本発明の一実施例によってナノSOIウェーハを製造する各工程段階を示す工程断面図である。

【図5】本発明の一実施例によってナノSOIウェーハを製造する各工程段階を示す工程断面図である。

【図6】本発明の一実施例によってナノSOIウェーハを製造する各工程段階を示す工程断面図である。

【図7】本発明の一実施例によってナノSOIウェーハを製造する各工程段階を示す工程断面図である。

【図8】本発明の一実施例によってナノSOIウェーハを製造するために基準ウェーハと結合ウェーハとを結合させる方法を示す概略図である。

【図9】本発明の一実施例によってナノSOIウェーハを製造するために基準ウェーハと結合ウェーハとを結合させる方法を示す概略図である。

【図10】本発明の一実施例によってナノSOIウェーハを製造するために基準ウェーハと結合ウェーハとを結合させる方法を示す概略図である。

【図11】本発明の他の実施例によって製造されたナノSOIウェーハを示す断面図である。

【図12】本発明の一実施例によるナノSOIウェーハを製造するための実験で測定した

10

20

30

40

50

水素イオン注入電圧と $\Delta R_p$ との関係を示すグラフである。

【図13】本発明の一実施例によるナノSOIウェーハを製造するための実験で測定した $\Delta R_p$ とR msとの関係を示すグラフである。

【図14】本発明の一実施例によるナノSOIウェーハを製造するための実験で測定した結合ウェーハの劈開のための熱処理温度とR msとの関係を示すグラフである。

【図15】本発明の一実施例によるナノSOIウェーハを製造するための実験で測定した結合ウェーハの劈開のための熱処理時間とボイド数との関係を示す棒グラフである。

【図16】本発明の一実施例によるナノSOIウェーハを製造するための実験で測定した結合ウェーハの劈開のための熱処理温度を変化させながらウェーハの深さによる水素濃度の変化を示すグラフである。

【図17】本発明の一実施例によるナノSOIウェーハを製造するための実験で測定した結合ウェーハの劈開のための熱処理温度を変化させながらウェーハの深さによる水素濃度の変化を示すグラフである。

【図18】本発明の一実施例によるナノSOIウェーハを製造するための実験で測定した結合ウェーハの劈開のための熱処理温度を変化させながらウェーハの深さによる水素濃度の変化を示すグラフである。

【図19】本発明の一実施例によるナノSOIウェーハを製造するための実験で測定した結合ウェーハの劈開のための熱処理温度を変化させながらウェーハの深さによる水素濃度の変化を示すグラフである。

【図20】本発明の一実施例によるナノSOIウェーハを製造するための実験で測定したウェーハの劈開面に対する水素熱処理時間とR msとの関係を示す棒グラフである。

【図21】本発明の一実施例によるナノSOIウェーハを製造するための実験で測定したシリコンに対するエッティング時間と平均エッティング量との関係を示すグラフである。

【符号の説明】

【0066】

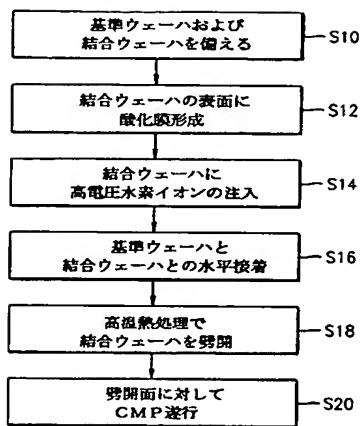
- 10 結合ウェーハ
- 12 シリコン酸化膜
- 14 水素イオン注入部
- 16 シリコンゲルマニウム層
- 20 基準ウェーハ
- 80 ベース
- 82a、82b ウェーハ支持台
- 84a、84b ウェーハ圧着棒

10

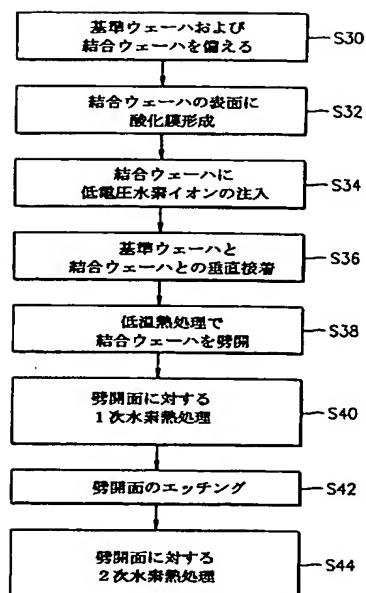
20

30

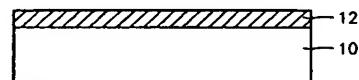
【図 1】



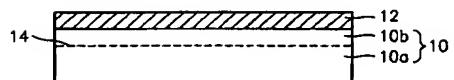
【図 2】



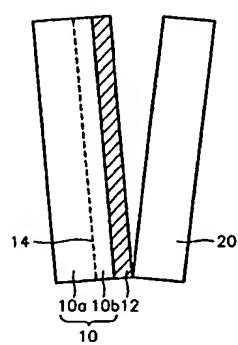
【図 3】



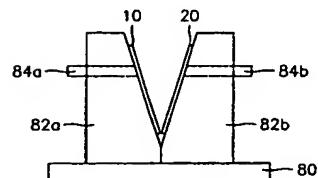
【図 4】



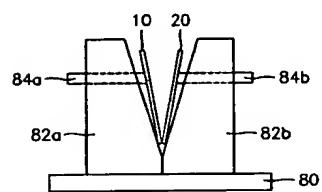
【図 5】



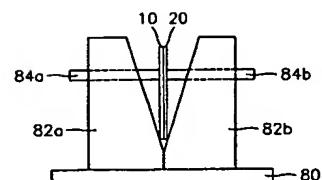
【図 8】



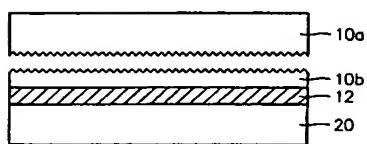
【図 9】



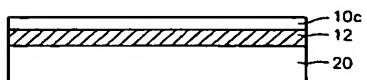
【図 10】



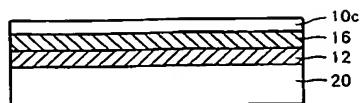
【図 6】



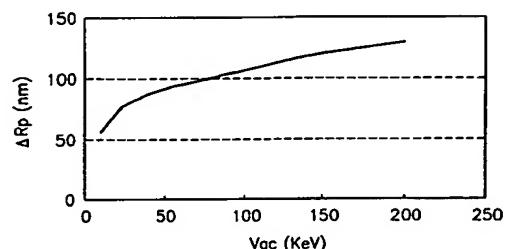
【図 7】



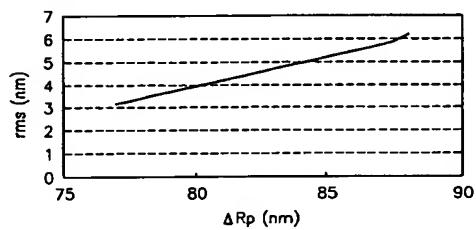
【図 1 1】



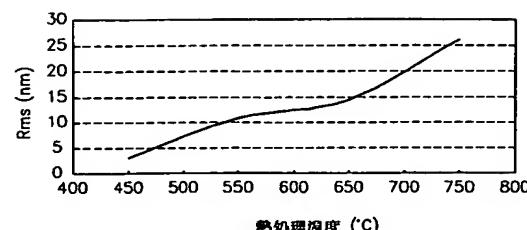
【図 1 2】



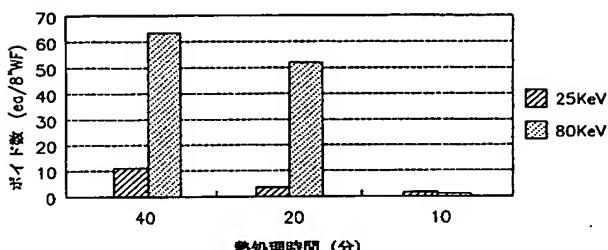
【図 1 3】



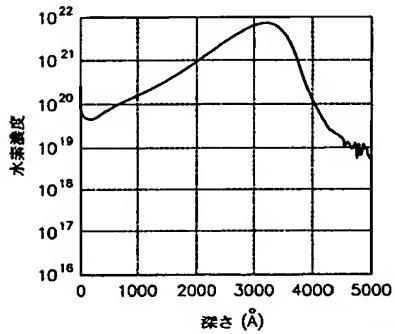
【図 1 4】



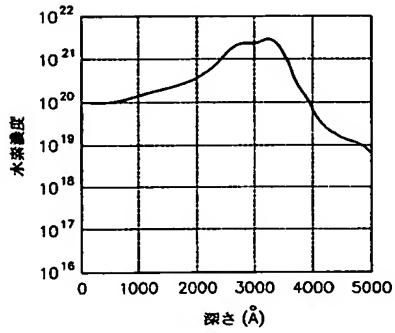
【図 1 5】



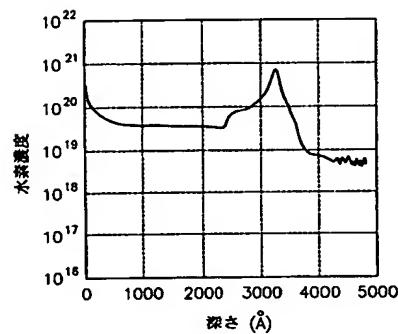
【図 1 6】



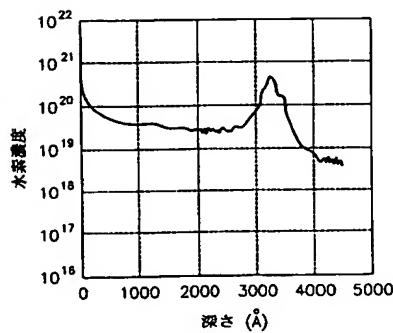
【図 1 7】



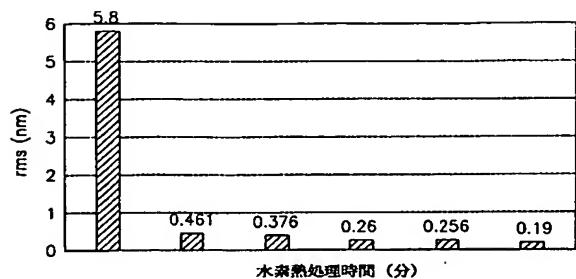
【図 1 8】



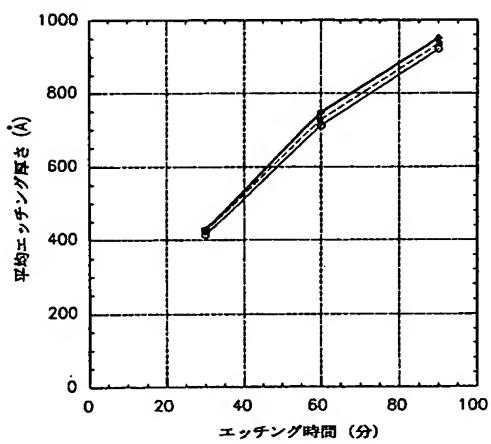
【図 1 9】



【図 20】



【図 21】



---

フロントページの続き

(74)代理人 100101465  
弁理士 青山 正和

(74)代理人 100094400  
弁理士 鈴木 三義

(74)代理人 100107836  
弁理士 西 和哉

(74)代理人 100108453  
弁理士 村山 靖彦

(74)代理人 100110364  
弁理士 実広 信哉

(72)発明者 朴 在僅  
大韓民国京畿道城南市盆唐区九美洞211番地 ムジゲマウル建栄アパート1003棟1901号

(72)発明者 李 ▲ゴン▼燮  
大韓民国ソウル特別市江南区駅三2洞712-5番地 ゲナリアアパート22棟203号

(72)発明者 李 尚姫  
大韓民国釜山広域市西区東大新洞3街463-16番地 18/4

F ターム(参考) 5F032 AA03 AA35 BA01 BB01 DA43 DA60 DA71

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

**BLACK BORDERS**

**IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

**FADED TEXT OR DRAWING**

**BLURRED OR ILLEGIBLE TEXT OR DRAWING**

**SKEWED/SLANTED IMAGES**

**COLOR OR BLACK AND WHITE PHOTOGRAPHS**

**GRAY SCALE DOCUMENTS**

**LINES OR MARKS ON ORIGINAL DOCUMENT**

**REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

**OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**